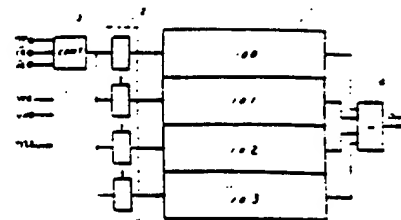


(54) SEMICONDUCTOR FIXED MEMORY

(11) 60-212900 (A) (13) 25.10.1985 (19) JP
(21) Appl. No. 59-70414 (22) 9.4.1984
(71) NIPPON DENKI K.K. (72) TOKIAKI AZUMA
(51) Int. Cl. G11C29.00, G11C17.00

PURPOSE: To use a circuit having high rewriting frequency and to simplify a control circuit by forming a rewriting frequency setting circuit in a chip, and when the rewriting frequency exceeds a prescribed value, switching a memory cell block to the succeeding one.

CONSTITUTION: Respective cell blocks 100~103 in the memory 1 are selected by the rewriting frequency deciding circuit 2 and the same locations in respective cell blocks are simultaneously addressed from the external. Since the maximum value N of rewriting frequency of the EEPROM is set up, the same address in the cell block 101 is newly selected after ending the Nth rewriting of the same address in the cell block 100. Said control is automatically executed by a detecting circuit 2 and a write control circuit 3. Data in respective cell blocks 100~103 are outputted through an OR circuit 4.



371-10.2

⑫ 公開特許公報(A)

昭60-212900

⑤ Int.Cl.

G 11 C 29/00
17/00

識別記号

1 0 1

庁内整理番号

7922-5B
6549-5B

④ 公開 昭和60年(1985)10月25日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体固定記憶装置

⑮ 特 願 昭59-70414

⑯ 出 願 昭59(1984)4月9日

⑰ 発 明 者 東 常 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体固定記憶装置

2. 特許請求の範囲

複数に分割された電氣的書換可能なメモリセルブロックと、これらメモリセルブロックのうちの1個への書換を選択しかつあるメモリセルブロックへの書換回数が所定最大書換回数より大きくなったことを判定して他のメモリセルブロックへ順次切換える書換回数判定回路と、前記各メモリセルブロックの各出力を入力して外部出力端子に出力するOR回路とを含む半導体固定記憶装置。

3. 発明の詳細な説明

(技術分野)

本発明は書換え回数を増加しても信頼性の低下を招くことのない電氣的消去可能な半導体固定記憶装置(以下EEPROMと称す)に関する。

(従来技術)

従来、フローティングゲート構造を有するEEPROMは、記憶用トランジスタの制御ゲートに20V程度の高電圧を印加し、トンネル効果によりドレイン上に形成された薄い酸化膜を通して電子をドレインからフローティングゲートへ到達させることにより記憶を行っている。このため高電圧印加の回数、いわゆる書換え回数が増加すると薄い酸化膜が次第に劣化しついには破壊に到る欠点を有していた。このためこのEEPROMは書き換え頻度の高い応用には不向きであるという問題があった。

(発明の目的)

本発明の目的は、このような欠点を解決し、チップ内部に書換え回数判定回路を設け、ある規定書換回数以上になると予め準備された他のメモリセルブロックに切換えることにより、書き換え頻度の高い回路にも使用できるようにしたEEPROMを提供することにある。

(発明の構成)

本発明のEEPROMは、数に分割された電氣的書換可能なメモリセルブロックと、これらメモリセルブロックのうちの1個への書換を選択し、かつあるメモリセルブロックへの書換回数が所定最大書換回数より大きくなったことを判定して他のメモリセルブロックへ順次切替える書換回数判定回路と、前記各メモリセルブロックの各出力を入力して外部出力端子に出力するOR回路とを含み構成される。

(実施例)

次に本発明を図面により詳細に説明する。

第1図は本発明の実施例のブロック図である。図において、1はメモリセル部分で、本実施例では100～103の4ブロックが準備されている。2は書換回数判定回路で、メモリセルブロック(以下セルブロックと称す)に対応し4回路準備されている。また、3はEEPROMの書込みおよび読出し動作を制御するブロック、4は各々のセルブロックからのデータを出力へ伝達するOR回路である。なお、その他メモリの動作に必要なア

ドレスデコーダ、スタンプ等は省略している。

次に主要ブロックの動作を説明する。書換回数判定回路2は紫外線消去型EPROMに使用実績のあるフローティングゲート構造のMOSトランジスタとアナログコンパレータから構成されている。この回路2のMOSトランジスタのスレッシュホールド電圧 V_{TH} は、フローティングゲートに加えられる電圧 V_{PP} と、印加回数 N および印加時間 t に比例し、次式で表わされる。

$$V_{TH} = f(V_{PP}, N, t)$$

したがってゲート電圧 V_{PP} の電圧値および印加時間 t が一定であればスレッシュホールド電圧 V_{TH} は書換回数に比例することになる。

本実施例の場合、メモリセルが破壊に到る最大書換回数に対するマージンの程度を設定するものであるから、スレッシュホールド電圧 V_{TH} の精度すなわち書換え回数検出の精度は必ずしも高い必要はない。

次に番号100, 101, 102, 103の4ブロックに等分されているメモリセル1の各セルブロックは、書換回数判定回路2により選択され、ま

た4ブロックとも同時にセルブロック内の同一ロケーションが外部からアドレッシングされる構成となっている。

いま、EEPROMの書換回数の最大値 N と設定しておく、セルブロック100のある番地で N 回目の書換えが終了した後は、次回からセルブロック101内の同一番地が新たに選択される。

具体的にバイト単位で書換えが行われている例について第2図を用いて説明する。

第2図は4ブロック100～103から成るEEPROMのメモリセル部の構成図であり、各々のセルブロック100～103は A_N ワード×8ビットで構成されている。ここでセルブロック100は最大書換回数 N 回使用済みのパターンを示し、セルブロック101は $N+1$ 回目の書込み後のパターンを示し、セルブロック102, 103は未使用状態を示している。このセルブロック100で、 A_K 番地のデータが $N+1$ 回目の書換対象に選ばれたが、セルブロック100の最大書換回数 N を越えているため、該当するワード A_K のデータが

0に消去された後、セルブロック101が選択され同一ワードに書換希望のデータが書込まれることになる。第2図のROMパターンはこの状態を表わしている。

次に、書換えられる $N+2$ 回目から $2N$ 回までは、セルブロック101の各ワードの書換回数が N に達してなくても、指定されたアドレスに対応する8ビットデータが一旦消去された後、セルブロック102の対応するアドレスにデータを書き込む。この制御はすべて書換回数検出回路2と書込制御回路3によって自動的に行うことができる。このブロック内での書込前の一旦消去する方法については、既存のEEPROMに採用されているものが用いられる。

なお、データの読出しは、各セルブロック100～103内の8ビットデータがOR回路4に接続されているため、任意の有効データが出力される。これは、未使用のセルはすべてデータ「0」であり、一旦セルブロックで無効となったワードはデータ「0」に消去されているからである。なお、

以上の説明の中でメモリセルの消去は論理「0」

とし、書き込み状態は論理「1」と割っている。

(発明の効果)

以上説明した様に、本発明によれば、1ワードでも最大書換回数Nを越える書換回数が与えられた場合には、その後の書換えは新しいセルブロックを使用することにより制御回路が簡易化され、また書換えの制御をチップ内部で自動的に処理するため、外部端子を増加させることがなく、従来品種との端子互換性を有しながら実現できる。

このように本発明によれば、EEPROM の書換回数を予備セルブロックの数だけ増加させることができ、応用分野の拡大が期待できる。

101, 102, 103... 4... 分されたセルブロックである。

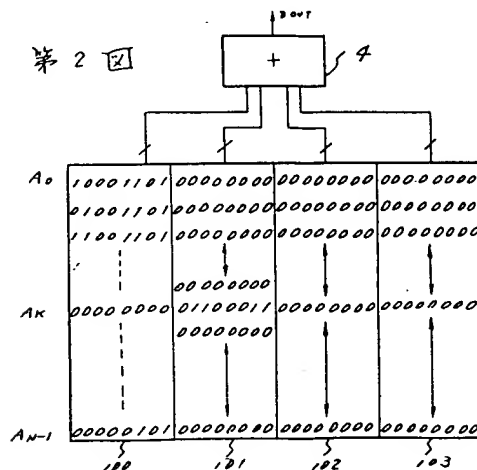
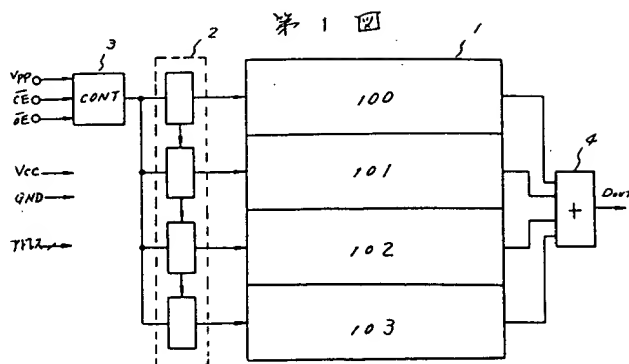
代理人 弁理士 内 原 晋



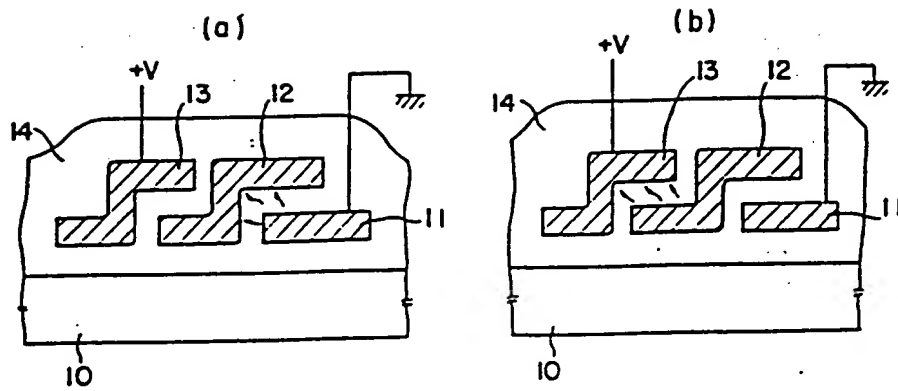
4. 図面の簡単な説明

第1図は本発明の実施例の主要ブロック図、第2図は第1図のメモリセルブロックのROMパターン図である。図において

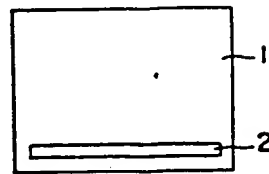
1.....メモリセルブロック、2.....書換回数判定回路、3.....制御回路、4.....OR回路、100,



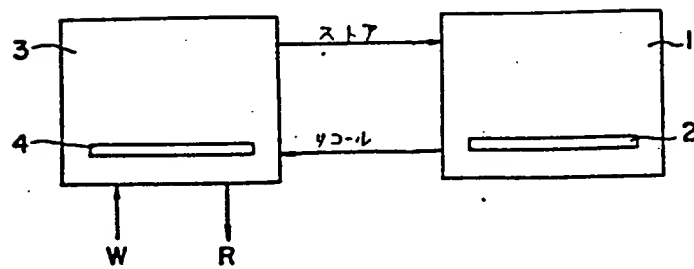
第 1 図



第 2 図



第 3 図





POLYGLOT INTERNATIONAL

Global Management of Language-Related Projects

340 Brannan Street, Fifth Floor
San Francisco, CA 94107 • USA

Tel (415) 512-8800

FAX (415) 512-8982

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
- (11) Japanese Laid-Open Patent Application (Kokai) No. 60-212900
- (12) Official Gazette for Laid-Open Patent Applications (A)

(51)	<u>Int. Cl.⁴:</u>	<u>Classification Symbols:</u>	<u>Internal Office Registration Nos.:</u>
	G 11 C 29/00		7922-5B
	17/00	101	6549-5B

- (43) Laying-Open Date: October 25, 1985
- Request for Examination: Not yet submitted
- Number of Inventions: 1
- (Total of 3 pages [in original])

(54) Title of the Invention: **Semiconductor Fixed Storage Unit**

- (21) Application No. 59-70414
- (22) Filing Date: April 9, 1984
- (72) Inventor: Tsuneaki Higashi
- (71) Applicant: NEC Corporation
- (74) Agent: Susumu Uchihara, Patent Attorney

SPECIFICATION

1. Title of the Invention

Semiconductor Fixed Storage Unit

2. Claims

A semiconductor fixed storage unit, comprising:

multiply split, electrically rewritable memory cell blocks;

circuits for determining the number of rewriting cycles that select one of these memory cell blocks for rewriting and perform successive switching to other memory cell blocks once it is determined that the number of rewriting cycles for a certain memory cell block has exceeded a prescribed maximum number of rewriting cycles; and

an OR circuit for inputting the output of each of the aforementioned memory cell blocks and outputting it to external output terminals.

3. Detailed Description of the Invention

Technical Field

The present invention relates to an electrically erasable semiconductor fixed storage unit (hereinafter abbreviated as "EEPROM") in which the number of rewriting cycles can be increased without impairing reliability.

Prior Art

In the past, storage in EEPROMs having a floating gate structure was accomplished by applying a high voltage of about 20 V to the control gate of a storage transistor and using the tunnel effect to allow electrons from the drain to reach the floating gate through a thin oxide film formed on the drain. An ensuing disadvantage was that an increase in the number of times high voltage was applied, that is, an increase in the so-called number of rewriting cycles, resulted in the gradual deterioration and ultimate breakdown of the thin oxide layer. The problem, therefore, was that such EEPROMs were unsuitable for applications with high rewriting frequencies.

Object of the Invention

An object of the present invention is to overcome such shortcomings and to offer an EEPROM that is adapted for use in circuits with high rewriting frequencies by providing the interior of a chip with circuits for determining the number of rewriting cycles, and switching to another memory cell block, which is prepared in advance, once a specified number of rewriting cycles is exceeded.

Structure of the Invention

The EEPROM of the present invention comprises multiply split, electrically rewritable memory cell blocks; circuits for determining the number of rewriting cycles that select one of these memory cell blocks for rewriting and perform successive switching to other memory cell blocks once it is determined that the number of rewriting cycles for a certain memory cell block has exceeded a prescribed maximum number of rewriting cycles; and an OR circuit for inputting the output of each of the aforementioned memory cell blocks and outputting it to external output terminals.

Practical Examples

Practical examples will now be described in detail with reference to drawings.

Figure 1 is a block diagram of a practical example of the present invention. 1 is a memory cell section; in the practical example under consideration, four blocks (100 through 103) are prepared. 2 are circuits for determining the number of rewriting cycles; four such circuits are prepared to correspond to the number of the memory cell blocks (hereinafter abbreviated as "cell blocks"). Furthermore, 3 is a block for controlling the writing and reading operation of EEPROM, and 4 is an OR circuit for transmitting data from each cell block to the outside. Address decoders, sense amplifiers, and other components necessary for the operation of the memory are omitted.

The operation of the main block will now be described. A circuit 2 for determining the number of rewriting cycles comprises an analog converter and a MOS transistor with a floating gate structure that has a history of use in ultraviolet-erasable EPROMs. The threshold voltage V_{TH} of the MOS transistor of this circuit 2 is proportional to the voltage V_{PP} applied to the floating gate, as well as to the number N

of application cycles and the application time t , and is represented by the following equation.

$$V_{TH} = f(V_{PP}, N, t)$$

Therefore, the threshold voltage V_{TH} is proportional to the number of rewriting cycles when the application time t and the magnitude of the gate voltage V_{PP} are constant.

Because the practical example under consideration involves setting up a certain margin with the respect to the maximum number of rewriting cycles at which a memory cell breaks down, there is no need for a high-precision threshold voltage V_{TH} , that is, for a high-precision detection of the number of rewriting cycles.

Each of the cell blocks of the memory cell 1 (divided into four equal blocks 100, 101, 102, and 103) is selected by the circuits 2 for determining the number of rewriting cycles, and the same locations inside the four cell blocks are addressed at the same time from the outside.

When the maximum number N of rewriting cycles is established for the EEPROM, the same address inside the cell block 101 is newly selected for the cycle that follows the N -th rewriting cycle that has been completed for a certain address of the cell block 100.

A specific example in which byte positions are rewritten will now be described with reference to Figure 2.

Figure 2 is a block diagram of a memory cell portion of an EEPROM composed of the four blocks 100 through 103, and each of the cell blocks 100 through 103 comprises A_N words, each eight bits long. Here, the cell block 100 shows a pattern obtained after the maximum number N of rewriting cycles have been performed, the cell block 101 shows a pattern obtained following an $(N + 1)$ -th writing cycle, and the cell blocks 102 and 103 show unused conditions. In the cell block 100, data corresponding to an address A_K were selected for the $(N + 1)$ -th writing cycle, but because this exceeds the maximum number N of rewriting cycles for the cell block 100, the data for the corresponding word A_K are erased (represented as zeros), the cell block 101 is then selected, and the desired rewriting data are written as the same word. The ROM pattern in Figure 2 represents this state.

With the number of rewriting cycles between $N + 2$ and $2N$, eight-bit data corresponding to a specified address are temporarily erased, and data are then written at the corresponding address of the cell block 102 even when the number of rewriting cycles of each word of the cell block 101 has not yet reached N . This type of control can all be performed automatically by the circuit 2 for determining the number of rewriting cycles and by the writing control circuit 3. A technique already adopted with EEPROM can be used as the method for temporarily erasing the contents of a block prior to writing.

The data to be read are outputted as valid data because the eight-bit data inside the cell blocks 100 through 103 are connected to the OR circuit 4. This is because unused cells all contain data zeros, and the words in cell blocks that have temporarily become invalid have all been erased and represented as data zeros. In the above description, the erased state of a memory cell is assigned a logic zero, and a written state a logic one.

Merits of the Invention

As described above, the present invention allows control circuitry to be simplified using a new cell block for rewriting operations after the number of rewriting cycles has exceeded the maximum number N of rewriting cycles even for a single word. In addition, rewriting control is performed automatically inside the chip, making it unnecessary to increase the number of external terminals and ensuring interchangeability of terminals with conventional products.

The present invention thus allows the number of rewriting cycles for an EEPROM to be increased by adding reserve cell blocks, and is expected to have a wider scope of application.

4. Brief Description of the Drawings

Figure 1 is the principal block diagram of a practical example of the present invention, and Figure 2 is the ROM pattern diagram of the memory cell blocks shown in Figure 1.

In the figures, 1 depicts memory cell blocks; 2 is a circuit for determining the number of rewriting cycles; 3 is a control circuit; 4 is an OR circuit; and 100, 101, 102, and 103 are four equally split cell blocks.

Figure 1

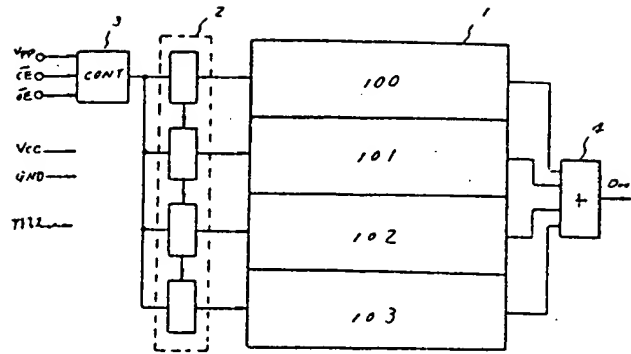


Figure 2

